

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

10937885

Basic Patent (No,Kind,Date): JP 4369271 A2 921222 <No. of Patents: 001>

THIN FILM TRANSISTOR (English)

Patent Assignee: CASIO COMPUTER CO LTD

Author (Inventor): TAKEDA KOJI; WAKAI HARUO

IPC: #H01L-029/784;

CA Abstract No: 119(16)171808Z

Derwent WPI Acc No: G 93-042213

JAPIO Reference No: 170245E000156

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
-----------	------	------	-----------	------	------

JP 4369271	A2	921222	JP 91170438	A	910617 (BASIC)
------------	----	--------	-------------	---	----------------

Priority Data (No,Kind,Date):

JP 91170438 A 910617

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-369271

(43) 公開日 平成4年(1992)12月22日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/784

9056-4M

H 0 1 L 29/78

3 1 1 S

審査請求 未請求 請求項の数10(全 6 頁)

(21) 出願番号

特願平3-170438

(22) 出願日

平成3年(1991)6月17日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目5番1号

(72) 発明者 竹田 恒治

東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内

(72) 発明者 若井 晴夫

東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内

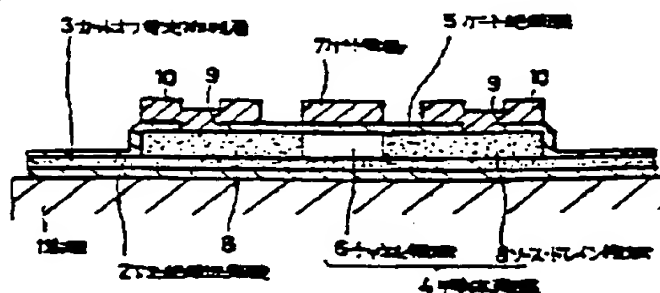
(74) 代理人 弁理士 杉村 次郎

(54) 【発明の名称】 薄膜トランジスタ

(57) 【要約】

【目的】 オン電流に大きな影響を与えることなく、カットオフ電流を十分に低減する。

【構成】 基板1の上には下地絶縁性薄膜2が設けられている。下地絶縁性薄膜2の上にはカットオフ電流抑制層3が設けられている。カットオフ電流抑制層3の上の所定の個所にはポリシリコン等からなる半導体薄膜4が設けられている。半導体薄膜4およびカットオフ電流抑制層3の上にはゲート絶縁膜5が設けられている。半導体薄膜4のチャネル領域6に対応する部分のゲート絶縁膜5の上にはゲート電極7が設けられている。ゲート電極7の両側における半導体薄膜4には不純物を高濃度に含有されたソース・ドレイン領域8が設けられている。カットオフ電流抑制層3は、ソース・ドレイン領域8と反対の導電型の不純物(ソース・ドレイン領域8がn型の場合にはp型の不純物、p型の場合にはn型の不純物)が含有されたポリシリコン等の半導体薄膜からなっている。



## 【特許請求の範囲】

【請求項1】 単層または複数層の半導体薄膜に一導電型の不純物が高濃度に含有されたソース・ドレイン領域を設けると共に該ソース・ドレイン領域の一面にカットオフ電流抑制層を結合したことを特徴とする薄膜トランジスタ。

【請求項2】 前記カットオフ電流抑制層は他導電型の不純物が含有された半導体薄膜からなることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】 酸化シリコンや窒化シリコン等からなる下地絶縁性薄膜を備えていることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項4】 前記半導体薄膜のソース・ドレイン領域は高濃度不純物領域と該高濃度不純物領域周囲の低濃度不純物領域からなるLDD構造であることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項5】 コプラナ型であることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項6】 前記半導体薄膜はチャネル用半導体薄膜とソースおよびドレイン用半導体薄膜の積層構造を有することを特徴とする請求項1記載の薄膜トランジスタ。

【請求項7】 ソースおよびドレイン用半導体薄膜は高濃度不純物領域と低濃度不純物領域の積層構造とされていることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項8】 前記カットオフ電流抑制層は前記半導体薄膜のソース・ドレイン電極間部分のみに対応して形成されていることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項9】 前記半導体薄膜はチャネル用半導体薄膜と、低濃度不純物領域および高濃度不純物領域からなるソースおよびドレイン用半導体薄膜の積層構造を有することを特徴とする請求項1記載の薄膜トランジスタ。

【請求項10】 前記カットオフ電流抑制層は前記半導体薄膜のソース・ドレイン電極間部分のみに対応して形成されていることを特徴とする請求項9記載の薄膜トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は薄膜トランジスタに関する。

## 【0002】

【従来の技術】 例えばコプラナ型の薄膜トランジスタは、一般に、シリコン、石英、耐熱性ガラス等からなる基板上に直接または酸化シリコンや窒化シリコン等からなる下地絶縁性薄膜を介してポリシリコン等からなる半導体薄膜を設け、この半導体薄膜を酸化シリコンや窒化シリコン等からなるゲート絶縁膜で覆い、半導体薄膜のチャネル領域に対応する部分のゲート絶縁膜上にゲート電極を設け、このゲート電極の両側における半導体薄膜

に不純物が高濃度に含有されたn型またはp型のソース・ドレイン領域を設け、ゲート絶縁膜上にコンタクトホールを介してソース・ドレイン領域と接続されるソース・ドレイン電極を設けた構造となっている。

## 【0003】

【発明が解決しようとする課題】 しかしながら、このような薄膜トランジスタでは、リーク電流を小さくするためにカットオフ電流を十分に低減しようとする、これにほぼ比例してオン電流も低減してしまうので、カットオフ電流の低減に制約を受けるといった問題があった。これは、薄膜トランジスタのしきい値電圧から測定したゲート電圧を一定にしたときのオン電流の絶対値が半導体薄膜のバルクの性質（主として電界効果移動度に反映される）によって決定されるのに対し、カットオフ電流が下地絶縁性薄膜と半導体薄膜との界面状態、半導体薄膜のバルクの性質および半導体薄膜とゲート絶縁膜との界面状態等によって決定されるということに起因し、また下地絶縁性薄膜と半導体薄膜との界面状態が半導体薄膜のバルクの性質や半導体薄膜とゲート絶縁膜との界面状態等に悪影響を及ぼすということに起因している。この発明の目的は、オン電流に大きな影響を与えることなく、カットオフ電流を十分に低減することのできる薄膜トランジスタを提供することにある。

## 【0004】

【課題を解決するための手段】 この発明は、単層または複数層の半導体薄膜に一導電型の不純物が高濃度に含有されたソース・ドレイン領域を設けると共に該ソース・ドレイン領域の一面にカットオフ電流抑制層を結合したものである。

## 【0005】

【作用】 この発明によれば、ソース・ドレイン領域の一面にカットオフ電流抑制層を結合している、オン電流に大きな影響を与えることなく、カットオフ電流を十分に低減することができる。

## 【0006】

【実施例】 図1はこの発明をコプラナ型の薄膜トランジスタに適用した場合の一例を示したものである。この薄膜トランジスタでは、シリコン、石英、耐熱性ガラス等からなる基板1の上面に酸化シリコンや窒化シリコン等からなる下地絶縁性薄膜2が設けられている。下地絶縁性薄膜2の上面には後で詳述するカットオフ電流抑制層3が設けられている。カットオフ電流抑制層3の上面の所定の個所にはポリシリコン等からなる半導体薄膜4が設けられている。半導体薄膜4およびカットオフ電流抑制層3の上面には酸化シリコンや窒化シリコン等からなるゲート絶縁膜5が設けられている。半導体薄膜4のチャネル領域6に対応する部分のゲート絶縁膜5の上面にはアルミニウムからなるゲート電極7が設けられている。ゲート電極7の両側における半導体薄膜4にはイオン注入や熱拡散等により不純物を高濃度に含有されたソ

3

ソース・ドレイン領域8が設けられている。カットオフ電流抑制層3は、ソース・ドレイン領域3と反対の導電型の不純物（ソース・ドレイン領域3がn型の場合にはp型の不純物、p型の場合にはn型の不純物）が含有されたアモルファスシリコンまたはポリシリコンの半導体薄膜からなっている。半導体薄膜4のソース・ドレイン領域8に対応する部分のゲート絶縁膜5にはコンタクトホール9が設けられている。ゲート絶縁膜5の上面にはアルミニウムからなるソース・ドレイン電極10がコンタクトホール9を介して半導体薄膜4のソース・ドレイン領域8と接続されて設けられている。

【0007】このように、この薄膜トランジスタでは、下地絶縁性薄膜2と半導体薄膜4のソース・ドレイン領域8との間に、ソース・ドレイン領域8と反対の導電型の不純物が含有された半導体薄膜からなるカットオフ電流抑制層3を設けているので、オン電流に大きな影響を与えることなく、カットオフ電流を十分に低減することができる。特に、カットオフ電流抑制層3に、半導体薄膜4のソース・ドレイン領域8に含有された不純物イオンと逆導電型の不純物イオンが含有されている場合には、ソース領域またはドレイン領域8との界面にドレイン電流の向きとは逆向きのダイオードを形成することとなり、その効果は大変に大きいものとなる。

【0008】次に、図2はこの発明をLDD (Lightly Doped Drain) 構造のコプラナ型の薄膜トランジスタに適用した場合の一例を示したものである。この図において、図1と同一部分には同一の符号を付し、その説明を適宜省略する。この薄膜トランジスタでは、チャネル領域6の両側に不純物濃度の低いソース・ドレイン領域9aが形成され、この不純物濃度の低いソース・ドレイン領域8aの上面側に不純物濃度の高いソース・ドレイン領域8bが形成され、この不純物濃度の高いソース・ドレイン領域8bにソース・ドレイン電極10が接続された構造となっている。この薄膜トランジスタでは、前述のコプラナ型の薄膜トランジスタの場合と同様に、オン電流に大きな影響を与えることなく、カットオフ電流を十分に低減することができ、その上、不純物濃度の低いソース・ドレイン領域8aによって高電界を緩和することができるので、耐圧の向上を図ることができる。

【0009】次に、図3はこの発明をスタガ型の薄膜トランジスタに適用した場合の一例を示したものである。この薄膜トランジスタでは、シリコン、石英、耐熱性ガラス等からなる基板21の上面に酸化シリコンや窒化シリコン等からなる下地絶縁性薄膜22が設けられている。下地絶縁性薄膜22の上面の所定の個所には後で詳述するカットオフ電流抑制層23が設けられている。カットオフ電流抑制層23の上面の両側には不純物を高濃度に含有されたポリシリコン等からなるソース・ドレイン用半導体薄膜24が設けられている。カットオフ電流抑制層23は、ソース・ドレイン用半導体薄膜24と反

4

対の導電型の不純物（ソース・ドレイン用半導体薄膜24がn型の場合にはp型の不純物、p型の場合にはn型の不純物）が含有されたアモルファスシリコンまたはポリシリコンの半導体薄膜からなっている。左側のソース・ドレイン用半導体薄膜24の右側の上面、右側のソース・ドレイン用半導体薄膜24の左側の上面および両ソース・ドレイン用半導体薄膜24間におけるカットオフ電流抑制層23の上面にはポリシリコン等からなるチャネル用半導体薄膜25が設けられている。チャネル用半導体薄膜25、ソース・ドレイン用半導体薄膜24および下地絶縁性薄膜22の上面には酸化シリコンや窒化シリコン等からなるゲート絶縁膜26が設けられている。両ソース・ドレイン用半導体薄膜24間におけるチャネル用半導体薄膜25に対応する部分のゲート絶縁膜26の上面にはアルミニウムからなるゲート電極27が設けられている。ソース・ドレイン用半導体薄膜24に対応する部分のゲート絶縁膜26にはコンタクトホール28が設けられている。ゲート絶縁膜26の上面にはアルミニウムからなるソース・ドレイン電極29がコンタクトホール28を介してソース・ドレイン用半導体薄膜24と接続されて設けられている。

【0010】このように、この薄膜トランジスタでは、下地絶縁性薄膜22とソース・ドレイン用半導体薄膜24との間に、ソース・ドレイン用半導体薄膜24と反対の導電型の不純物が含有された半導体薄膜からなるカットオフ電流抑制層23を設けているので、オン電流に大きな影響を与えることなく、カットオフ電流を十分に低減することができる。

【0011】次に、図4はこの発明をLDD構造のスタガ型の薄膜トランジスタに適用した場合の一例を示したものである。この図において、図3と同一部分には同一の符号を付し、その説明を適宜省略する。この薄膜トランジスタでは、図3の実施例に対し、ソース・ドレイン用半導体薄膜24を低濃度不純物領域24aと高濃度不純物領域24bとの積層構造となした点でのみ相違する。カットオフ電流抑制層23は低濃度不純物領域24aに面して形成される。低濃度不純物領域24aと高濃度不純物領域24bはイオン打込みの深さを変えて形成することもできるし、低濃度不純物雰囲気中および高濃度不純物雰囲気中でそれぞれCVDにより形成することもできる。この薄膜トランジスタでは、前述のスタガ型の薄膜トランジスタの場合と同様に、オン電流に大きな影響を与えることなく、カットオフ電流を十分に低減することができ、その上、低濃度の不純物を含有されたソース・ドレイン用半導体薄膜24aによって高電界を緩和することができるので、耐圧の向上を図ることができる。

【0012】次に、図5はこの発明を逆スタガ型の薄膜トランジスタに適用した場合の一例を示したものである。この薄膜トランジスタでは、シリコン、石英、耐熱

5

性ガラス等からなる基板31の上面に酸化シリコンや窒化シリコン等からなる下地絶縁性薄膜32が設けられている。下地絶縁性薄膜32の上面の所定の個所にはアルミニウムからなるゲート電極33が設けられている。ゲート電極33および下地絶縁性薄膜32の上面には酸化シリコンや窒化シリコン等からなるゲート絶縁膜34が設けられている。ゲート絶縁膜34の上面の所定の個所にはポリシリコン等からなるチャネル用半導体薄膜35が設けられている。チャネル用半導体薄膜35の上面の両側には不純物を高濃度に含有されたポリシリコン等からなるソース・ドレイン用半導体薄膜36が設けられている。左側のソース・ドレイン用半導体薄膜36の右端部の上面、右側のソース・ドレイン用半導体薄膜36の左端部の上面および両ソース・ドレイン用半導体薄膜36間におけるチャネル用半導体薄膜35の上面にはカットオフ電流抑制層37が設けられている。カットオフ電流抑制層37は、ソース・ドレイン用半導体薄膜36と反対の導電型の不純物(ソース・ドレイン用半導体薄膜36がn型の場合にはp型の不純物、p型の場合にはn型の不純物)が含有されたアモルファスシリコンまたはポリシリコンの半導体薄膜からなっている。カットオフ電流抑制層37およびソース・ドレイン用半導体薄膜36等の上面にはPSC等からなるパッシベーション薄膜38が設けられている。ソース・ドレイン用半導体薄膜36に対応する部分のパッシベーション薄膜38にはコンタクトホール39が設けられている。パッシベーション薄膜38の上面にはアルミニウムからなるソース・ドレイン電極40がコンタクトホール39を介してソース・ドレイン用半導体薄膜36と接続されて設けられている。つまり、この実施例では、カットオフ電流抑制層37はチャネル用半導体薄膜35およびソース・ドレイン用半導体薄膜36のソース・ドレイン電極40間部分のみに対応して形成されている。

【0013】このように、この薄膜トランジスタでは、ソース・ドレイン用半導体薄膜36とパッシベーション薄膜38との間に、ソース・ドレイン用半導体薄膜36と反対の導電型の不純物が含有された半導体薄膜からなるカットオフ電流抑制層37を設けているので、オン電流に大きな影響を与えることなく、カットオフ電流を十分に低減することができる。

【0014】次に、図6はこの発明をLDD構造の逆スタガ型の薄膜トランジスタに適用した場合の一例を示したものである。この図において、図5と同一部分には同一の符号を付し、その説明を適宜省略する。この薄膜ト

6

ランジスタでは、図5の実施例に対し、ソース・ドレイン用半導体薄膜36を低濃度不純物領域36aと高濃度不純物領域36bからなるLDD構造とした点でのみ相違する。この場合、ソース・ドレイン電極40に接合される領域を高濃度不純物領域36bとなし、その内側に位置する領域を低濃度不純物領域36aとなす。カットオフ電流抑制層37はチャネル用半導体薄膜35のチャネル領域と、ソース・ドレイン用半導体薄膜36の低濃度不純物領域36aにのみ対応して形成されている。この薄膜トランジスタでは、前述の逆スタガ型の薄膜トランジスタの場合と同様に、オン電流に大きな影響を与えることなく、カットオフ電流を十分に低減することができ、その上、低濃度の不純物が含有されたソース・ドレイン用半導体薄膜36aによって高電界を緩和することができるので、耐圧の向上を図ることができる。

【0015】

【発明の効果】以上説明したように、この発明によれば、ソース・ドレイン領域の一面にカットオフ電流抑制層を結合しているため、オン電流に大きな影響を与えることなく、カットオフ電流を十分に低減することができる。

【図面の簡単な説明】

【図1】この発明をコプラナ型の薄膜トランジスタに適用した場合の一例の断面図。

【図2】この発明をLDD構造のコプラナ型の薄膜トランジスタに適用した場合の一例の断面図。

【図3】この発明をスタガ型の薄膜トランジスタに適用した場合の一例の断面図。

【図4】この発明をLDD構造のスタガ型の薄膜トランジスタに適用した場合の一例の断面図。

【図5】この発明を逆スタガコプラナ型の薄膜トランジスタに適用した場合の一例の断面図。

【図6】この発明をLDD構造の逆スタガコプラナ型の薄膜トランジスタに適用した場合の一例の断面図。

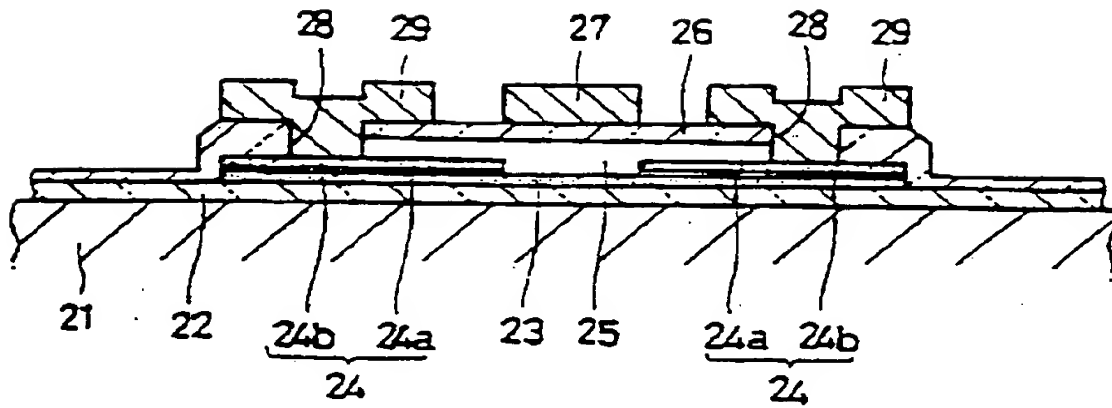
【符号の説明】

- 1 基板
- 2 下地絶縁性薄膜
- 3 カットオフ電流抑制層
- 4 半導体薄膜
- 5 ゲート絶縁膜
- 6 チャネル領域
- 7 ゲート電極
- 8 ソース・ドレイン領域
- 10 ソース・ドレイン電極

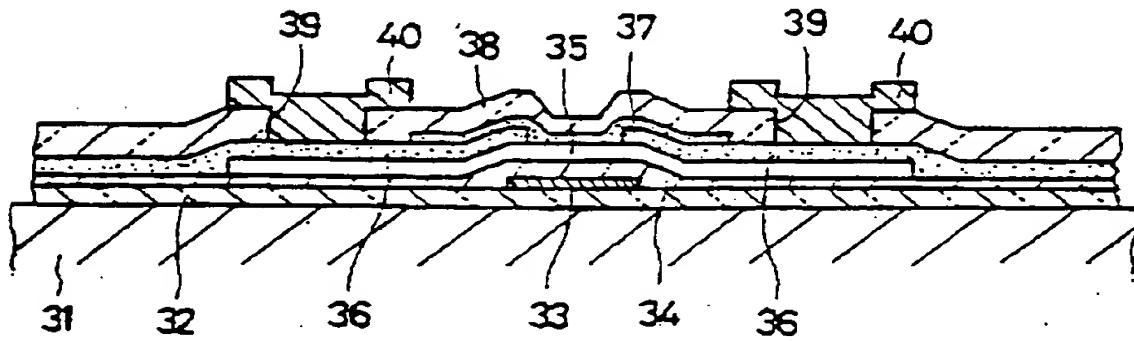
3 カットオフ電流抑制層  
7 ゲート電極  
5 ゲート絶縁膜  
10  
9  
9  
10  
1 基板  
8  
6 チャンネル領域  
8 ソースドレイン領域  
2 下地絶縁性薄膜  
4 半導体薄膜

A cross-sectional view of a semiconductor device. A central channel region (6) is formed in a substrate (1). The channel region is bounded by side regions (8a and 8b). A gate structure (7) is formed on top of the channel region. The gate structure includes a gate dielectric (5) and a gate electrode (9). The gate electrode is formed on a gate insulating layer (10). The side regions (8a and 8b) are formed in the substrate (1) and are bounded by a side wall (3). The side wall is formed on a side insulating layer (2). The side regions (8a and 8b) are doped with impurities (4).

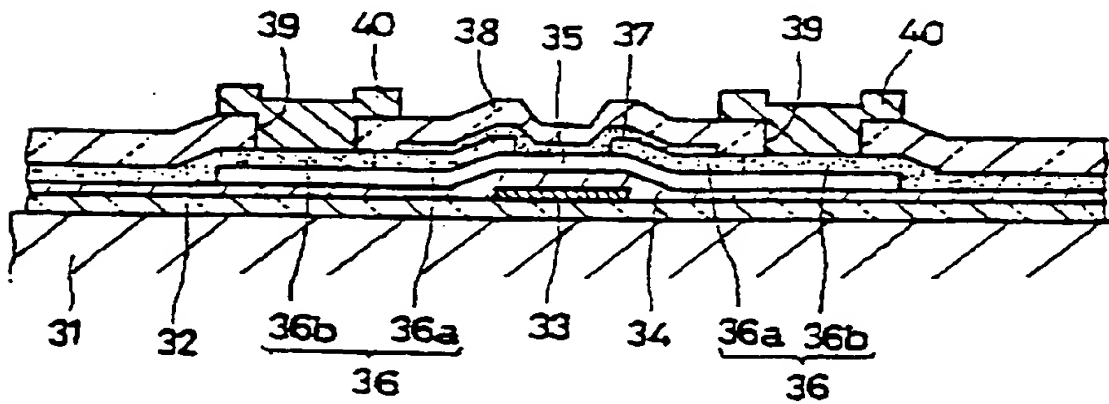
【図4】



【図5】



【図6】





Japanese Patent Laid-Open No. 369271/1992

Laid-Open Date: December 22, 1992

Application No. 170438/1991

Application Date: June 17, 1991

Request for Examination: Not made

Inventors: TAKEDA Koji et al.

Applicant: Casio Computer Co., Ltd.

Title of the Invention: THIN-FILM TRANSISTOR

Abstract:

Purpose: To reduce a cut-off current sufficiently without greatly affecting an ON-state current.

Constitution: An underlayer insulating thin film 2 is disposed on the upper surface of a substrate 1. A cut-off current suppressing layer 3 is disposed on the upper surface of the underlayer insulating thin film 2. A semiconductor thin film 4 made of polysilicon or the like is disposed at a predetermined position on the upper surface of the cut-off current suppressing layer 3. A gate insulating film 5 is disposed on the upper surfaces of the semiconductor thin film 4 and the cut-off current suppressing layer 3. A gate electrode 7 is disposed at the portion on the upper surface of the gate insulating film 5 corresponding to a channel region 6 of the semiconductor thin film 4. Source/drain regions 8 containing an impurity at high concentration are disposed in the semiconductor thin film

4 at both sides of the gate electrode 7. The cut-off current suppressing layer 3 is made of a semiconductor thin film of polysilicon or the like contained with an impurity of an opposite conductive type to the source/drain regions 8 (a P-type impurity when the source/drain regions 8 are N-type, and an N-type impurity when P-type).

Claims:

1. A thin-film transistor characterized in that source/drain regions contained with an impurity of one conductive type at high concentration are disposed in a single-layer or multiplayer semiconductor thin film and a cut-off current suppressing layer is joined to one surface of the source/drain regions.

2. The thin-film transistor according to claim 1 characterized in that said cut-off current suppressing layer is made of a semiconductor thin film contained with an impurity of the other conductive type.

3. The thin-film transistor according to claim 1 characterized by comprising an underlayer insulating thin film made of silicon oxide, silicon nitride or the like.

4. The thin-film transistor according to claim 1 characterized in that the source/drain regions of said semiconductor thin film have an LDD structure made of a high concentration impurity region and a low concentration impurity

region on a periphery of the high concentration impurity region.

5. The thin-film transistor according to claim 1 characterized by being co-planar type.

6. The thin-film transistor according to claim 1 characterized in that said semiconductor thin film has a layered structure of a channel semiconductor thin film and a source and drain semiconductor thin film.

7. The thin-film transistor according to claim 1 characterized in that a source and drain semiconductor thin film is formed to be a layered structure of a high concentration impurity region and a low concentration impurity region.

8. The thin-film transistor according to claim 1 characterized in that said cut-off current suppressing layer is formed corresponding only to a portion between source/drain electrodes of said semiconductor thin film.

9. The thin-film transistor according to claim 1 characterized in that said semiconductor thin film has a layered structure of a channel semiconductor thin film and a source and drain thin film made of a high concentration impurity region and a low concentration impurity region.

10. The thin-film transistor according to claim 9 characterized in that said cut-off current suppressing layer is formed corresponding only to a portion between source/drain electrodes of said semiconductor thin film.

[Detailed Description of the Invention]

[0001]

[Industrial field of Application]

The present invention relates to a thin-film transistor.

[0002]

[Prior Art]

For example, co-planar type thin-film transistors generally have a structure in which a semiconductor thin film made of polysilicon or the like is deposited on a substrate made of silicon, quartz, heat-resistant glass or the like directly or through an underlayer insulating thin film made of silicon oxide, silicon nitride or the like, this semiconductor thin film is covered with a gate insulating film made of silicon oxide, silicon nitride or the like, a gate electrode is disposed at the portion on the gate insulating film corresponding to the channel region of the semiconductor thin film, N-type or P-type source/drain regions contained with an impurity at high concentration are disposed in the semiconductor thin film at both sides of the gate electrode, and source/drain electrodes to be connected to the source/drain regions through a contact hole are disposed on the gate insulating film.

[0003]

[Problems that the Invention is to Solve]

However, in such thin-film transistors, when a cut-off current is reduced sufficiently in order to decrease a leakage

current, an ON-state current is also reduced almost proportional to this. Thus, there has been a problem that reducing the cut-off current is limited. It is caused by that the cut-off current is determined by the interface condition between the underlayer insulating thin film and the semiconductor thin film, the bulk characteristic of the semiconductor thin film, the interface condition between the semiconductor thin film and the gate insulating film and the like, whereas the absolute value of the ON-state current when the gate voltage measured by the threshold voltage of the thin-film transistor is fixed is determined by the bulk characteristic of the semiconductor thin film (mainly, it is reflected in the field effect mobility). Additionally, it is caused by that the interface condition between the underlayer insulating thin film and the semiconductor thin film adversely influences the bulk characteristic of the semiconductor thin film, the interface condition between the semiconductor thin film and the gate insulating film or the like. The purpose of the invention is to provide a thin-film transistor capable of reducing the cut-off current sufficiently without greatly affecting the ON-state current.

[0004]

[Means for solving the Problems]

The invention is that source/drain regions contained with an impurity of one conductive type at high concentration are

disposed in a single-layer or multilayer semiconductor thin film and a cut-off current suppressing layer is joined to one surface of the source/drain regions.

[0005]

[Operation]

According to the invention, the cut-off current suppressing layer is joined to one surface of the source/drain regions and thus the cut-off current can be reduced sufficiently without greatly affecting the ON-state current.

[0006]

[Example]

Fig. 1 depicts one example when the invention is applied to the co-planer type thin-film transistor. In this thin-film transistor, an underlayer insulating thin film 2 made of silicon oxide, silicon nitride or the like is disposed on the upper surface of a substrate 1 made of silicon, quartz, heat-resistant glass or the like. A cut-off current suppressing layer 3, which will be detailedly described later, is disposed on the upper surface of the underlayer insulating thin film 2. A semiconductor thin film 4 made of polysilicon or the like is disposed at a predetermined position on the upper surface of the cut-off current suppressing layer 3. A gate insulating film 5 made of silicon oxide, silicon nitride or the like is disposed on the upper surfaces of the semiconductor thin film 4 and the cut-off current suppressing layer 3. A gate electrode

7 made of aluminium is disposed at the portion on the upper surface of the gate insulating film 5 corresponding to a channel region 6 of the semiconductor thin film 4. Source/drain regions 8 contained with an impurity at high concentration by ion implantation, thermal diffusion or the like are disposed in the semiconductor thin film 4 at both sides of the gate electrode 7. The cut-off current suppressing layer 3 is made of a semiconductor thin film of amorphous silicon or polysilicon contained with an impurity of an opposite conductive type to the source/drain regions 8 (a P-type impurity when the source/drain regions 8 are N-type, and an N-type impurity when P-type). A contact hole 9 is disposed at the portions in the gate insulating thin film 5 corresponding to the source/drain regions 8 of the semiconductor thin film 4. On the upper surface of the gate insulating thin film 5, source/drain electrodes 10 made of aluminium are disposed and connected to the source/drain regions 8 of the semiconductor thin film 4 through the contact hole 9.

[0007]

Thus, in this thin-film transistor, the cut-off suppressing layer 3 made of the semiconductor thin film contained with the impurity of the opposite conductive type to the source/drain regions 8 is disposed between the underlayer insulating thin film 2 and the source/drain regions 8 of the semiconductor thin film 4. Therefore, the cut-off current can

be reduced sufficiently without greatly affecting the ON-state current. Particularly, when the cut-off suppressing layer 3 is contained with the opposite conductive type impurity ions to the impurity ions contained in the source/drain regions 8 of the semiconductor thin film 4, a diode reversely oriented to the drain current is formed in the interface with the source or drain region 8. The effect thereof becomes considerably great.

[0008]

Next, Fig. 2 depicts one example when the invention is applied to the co-planar type thin-film transistor of an LDD (Lightly Doped Drain) structure. In this drawing, the same portions as Fig. 1 are designated the same numeral and signs, omitting the descriptions properly. This thin-film transistor has a structure in which source/drain regions 8a having low impurity concentration are formed on both sides of a channel region 6, source/drain regions 8b having high impurity concentration are formed on the upper surface side of the source/drain regions 8a having low impurity concentration, and source/drain electrodes 10 are connected to the source/drain regions 8b having high impurity concentration. In this thin-film transistor, as similar to the aforesaid co-planar type thin-film transistor, the cut-off current can be reduced sufficiently without greatly affecting the ON-state current. In addition to this, the source/drain regions 8a having low



impurity concentration can relax a high electric field and thus the improvement of voltage resistance can be intended.

[0009]

Subsequently, Fig. 3 depicts one example when the invention is applied to a stagger type thin-film transistor. In this thin-film transistor, an underlayer insulating thin film 22 made of silicon oxide, silicon nitride or the like is disposed on the upper surface of a substrate 21 made of silicon, quartz, heat-resistant glass or the like. At a predetermined position on the upper surface of the underlayer insulating thin film 22, a cut-off current suppressing layer 23 is deposited, which will be detailedly described later. At both sides on the upper surface of the cut-off current suppressing layer 23, source/drain semiconductor thin films 24 made of polysilicon or the like contained with an impurity at high concentration are disposed. The cut-off current suppressing layer 23 is made of a semiconductor thin film of amorphous silicon or polysilicon contained with an impurity of an opposite conductive type to the source/drain semiconductor thin films 24 (a P-type impurity when the source/drain semiconductor thin films 24 are N-type, and an N-type impurity when P-type). A channel semiconductor thin film 25 made of polysilicon or the like is deposited on the right side upper surface of the left side source/drain semiconductor thin film 24, the left side upper surface of the right side source/drain semiconductor thin film 24 and the upper

surface of the cut-off current suppressing layer 23 between the source/drain semiconductor thin films 24. On the upper surfaces of the channel semiconductor thin film 25, the source/drain semiconductor thin films 24 and the underlayer insulating thin film 22, a gate insulating film 26 made of silicon oxide, silicon nitride or the like is deposited. At the portion on the upper surface of the gate insulating film 26 corresponding to the channel semiconductor thin film 25 between the source/drain semiconductor thin films 24, a gate electrode 27 made of aluminium is deposited. At the portions of the gate insulating film 26 corresponding to the source/drain semiconductor thin films 24, a contact hole 28 is disposed. On the upper surface of the gate insulating film 26, source/drain electrodes 29 made of aluminium are disposed and connected to the source/drain semiconductor thin films 24 through the contact hole 28.

[0010]

Thus, in this thin-film transistor, the cut-off current suppressing layer 23 made of the semiconductor thin film contained with the opposite conductive type impurity to the source/drain semiconductor thin films 24 is disposed between the underlayer insulating thin film 22 and the source/drain semiconductor thin films 24. Therefore, the cut-off current can be reduced sufficiently without greatly affecting the ON-state current.

[0011]

Next, Fig. 4 depicts one example when the invention is applied to the stagger type thin-film transistor of the LDD structure. In this drawing, the same portions as Fig. 3 are designated the same numeral and signs, omitting the descriptions properly. This thin-film transistor is only different from the example shown in Fig. 3 in that source/drain semiconductor thin film 24 is formed to have a layered structure of a low concentration impurity region 24a and a high concentration impurity region 24b. A cut-off current suppressing layer 23 is formed facing to the low concentration impurity region 24a. The low concentration impurity region 24a and the high concentration impurity region 24b may be formed by varying the depths of ion implantation or each of them may be deposited by CVD in a low concentration impurity atmosphere and a high concentration impurity atmosphere. In this thin-film transistor, as similar to the aforementioned stagger type thin-film transistor, the cut-off current can be reduced sufficiently without greatly affecting the ON-state current. In addition to this, the source/drain semiconductor thin films 24a contained with the impurity of low concentration can relax a high electric field and thus the improvement of voltage resistance can be intended.

[0012]

Subsequently, Fig. 5 depicts one example when the

invention is applied to a reverse stagger type thin-film transistor. In this thin-film transistor, an underlayer insulating thin film 32 made of silicon oxide, silicon nitride or the like is disposed on the upper surface of a substrate 31 made of silicon, quartz, heat-resistant glass or the like. At a predetermined position on the upper surface of the underlayer insulating thin film 32, a gate electrode 33 made of aluminium is disposed. On the upper surfaces of the gate electrode 33 and the underlayer insulating thin film 32, a gate insulating film 34 made of silicon oxide, silicon nitride or the like is disposed. At a predetermined position on the upper surface of the gate insulating film 34, a channel semiconductor thin film 35 made of polysilicon or the like is disposed. At both sides on the upper surface of the channel semiconductor thin film 35, source/drain semiconductor thin films 36 made of polysilicon or the like, which are contained with an impurity at high concentration, are disposed. On the upper surface of the right end part of the left side source/drain semiconductor thin film 36, the upper surface of the left end part of the right side source/drain semiconductor thin film 36 and the upper surface of the channel semiconductor thin film 35 between the source/drain semiconductor thin films 36, a cut-off current suppressing layer 37 is disposed. The cut-off current suppressing layer 37 is made of a semiconductor thin film of amorphous silicon or polysilicon contained with an impurity

of an opposite conductive type to the source/drain semiconductor thin films 36 (a P-type impurity when the source/drain semiconductor thin films 36 are N-type, and an N-type impurity when P-type). On the upper surfaces of the cut-off current suppressing layer 37 and the source/drain semiconductor thin films 36 etc., a passivation thin film 38 made of PSG or the like is disposed. At the portions of the passivation thin film 38 corresponding to the source/drain semiconductor thin films 36, a contact hole 39 is disposed. On the upper surface of the passivation thin film 38, source/drain electrodes 40 made of aluminium are disposed and connected to the source/drain semiconductor thin films 36 through the contact hole 39. That is, in this example, the cut-off current suppressing layer 37 is formed corresponding to the portions of the channel semiconductor thin film 35 and the source/drain semiconductor thin films 36 between source/drain electrodes 40.

[0013]

Thus, in this thin-film transistor, the cut-off current suppressing layer 37 made of the semiconductor thin film contained with the impurity of the opposite conductive type to the source/drain semiconductor thin films 36 is disposed between the source/drain semiconductor thin films 36 and the passivation thin film 38. Therefore, the cut-off current can be reduced sufficiently without greatly affecting the ON-state current.

[0014]

Next, Fig. 6 depicts one example when the invention is applied to the reverse stagger type thin-film transistor of the LDD structure. In this drawing, the same portions as Fig. 5 are designated the same numeral and signs, omitting the descriptions properly. This thin-film transistor is only different from the example shown in Fig. 5 in that source/drain semiconductor thin film 36 is formed to have an LDD structure made of a low concentration impurity region 36a and a high concentration impurity region 36b. In this case, the area joined to a source/drain electrode 40 is to be the high concentration impurity region 36b and the area positioned inside thereof is to be the low concentration impurity region 36a. A cut-off current suppressing layer 37 is formed corresponding only to the channel region of a channel semiconductor thin film 35 and the low concentration impurity regions 36a of the source/drain semiconductor thin films 36. In this thin-film transistor, as similar to the aforesaid reverse stagger type thin-film transistor, the cut-off current can be reduced sufficiently without greatly affecting the ON-state current. In addition to this, the source/drain semiconductor thin film 36a contained with the impurity of low concentration can relax a high electric field and thus the improvement of voltage resistance can be intended.

[0015]

[Advantage of the Invention]

As described above, according to the invention, the cut-off current suppressing layer is joined to one surface of the source/drain regions and therefore the cut-off current can be reduced sufficiently without greatly affecting the ON-state current.

[Brief Description of the Drawings]

Fig. 1 is a sectional view illustrating one example when the invention is applied to the co-planar type thin-film transistor;

Fig. 2 is a sectional view illustrating one example when the invention is applied to the co-planar type thin-film transistor of the LDD structure;

Fig. 3 is a sectional view illustrating one example when the invention is applied to the stagger type thin-film transistor;

Fig. 4 is a sectional view illustrating one example when the invention is applied to the stagger type thin-film transistor of the LDD structure;

Fig. 5 is a sectional view illustrating one example when the invention is applied to the reverse stagger co-planar type thin-film transistor; and

Fig. 6 is a sectional view illustrating one example when the invention is applied to the reverse stagger co-planar type thin-film transistor of the LDD structure.

[Description of the Reference Numerals and Signs]

- 1 SUBSTRATE
- 2 UNDERLAYER INSULATING THIN FILM
- 3 CUT-OFF CURRENT SUPPRESSING LAYER
- 4 SEMICONDUCTOR THIN FILM
- 5 GATE INSULATING FILM
- 6 CHANNEL REGION
- 7 GATE ELECTRODE
- 8 SOURCE/DRAIN REGION
- 10 SOURCE/DRAIN ELECTRODE